

PAT-NO: JP409246806A

DOCUMENT-IDENTIFIER: JP 09246806 A

TITLE: **LAMINATED FILTER**

PUBN-DATE: September 19, 1997

INVENTOR- INFORMATION:

NAME

NAGATOMI, YOSHITAKA

ISHIZAKI, TOSHIO

AIZAWA, KIMIO

MATSUMURA, TSUTOMU

YUDA, NAOKI

INT-CL (IPC): H01P001/203, H01P001/205

ABSTRACT:

PROBLEM TO BE SOLVED: To provide the **laminated** filter miniaturized without causing deterioration in the characteristic in which a sufficient input/output capacitance is obtained without increasing its size.

SOLUTION: An input/output pattern coupling section 3A is opposed to an **open** end of plural strip lines 4A provided on a dielectric layer 4 via a dielectric layer 3 and the input/output pattern coupling section 3A and an input/output pattern extract section 3C are connected by a connection part 3B whose line width is smaller than the line width of the input output pattern coupling section 3A and the extract section 3C in the strip line lengthwise direction to form **inductors** L1, L2 and then the input/output capacitance is equivalently increased without increasing the opposed area between the strip line 4A and the input/ output pattern coupling section 3A to make the filter small without deterioration in the characteristic.

COPYRIGHT: (C)1997,JPO

----- KWIC -----

Abstract Text - FPAR (1):

PROBLEM TO BE SOLVED: To provide the **laminated** filter miniaturized without causing deterioration in the characteristic in which a sufficient input/output capacitance is obtained without increasing its size.

Abstract Text - FPAR (2):

SOLUTION: An input/output pattern coupling section 3A is opposed to an **open** end of plural strip lines 4A provided on a dielectric layer 4 via a dielectric layer 3 and the input/output pattern coupling section 3A and an input/output pattern extract section 3C are connected by a connection part 3B whose line width is smaller than the line width of the input output pattern coupling section 3A and the extract section 3C in the strip line lengthwise direction to form **inductors** L1, L2 and then the input/output capacitance is equivalently increased without increasing the opposed area between the strip line 4A and the input/ output pattern coupling section 3A to make the filter small without deterioration in the characteristic.

(51)Int.Cl.⁶H 01 P 1/203
1/205

識別記号

府内整理番号

F I

H 01 P 1/203
1/205

技術表示箇所

B
D
K

審査請求 未請求 請求項の数20 OL (全10頁)

(21)出願番号

特願平8-55717

(22)出願日

平成8年(1996)3月13日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 永富 義孝

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 石崎 俊雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 相澤 公男

京都府福知山市田辺町大字大住小字浜55の12
松下日東電器株式会社内

(74)代理人 弁理士 滝本 智之 (外1名)

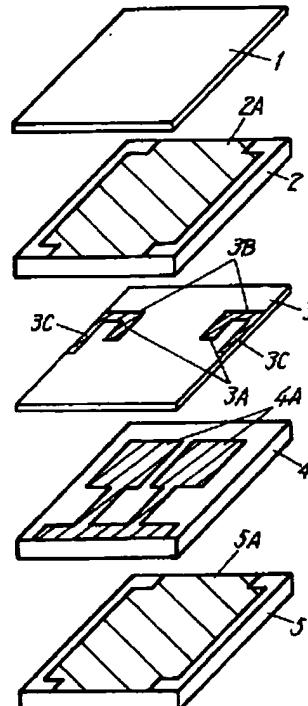
最終頁に続く

(54)【発明の名称】 積層フィルタ

(57)【要約】

【課題】 本発明は、形状を大きくしなくても十分な入出力容量が得られ、特性劣化を起こさず小型化可能な積層フィルタを提供することを目的とする。

【解決手段】 誘電体層4 A上に設けた複数のストリップライン4 Aの開放端側に誘電体層3を介して入出力パターンの結合部3 Aを対向させ、前記入出力パターンの結合部3 Aと当該入出力パターンの取出部3 Cとを、入出力パターンの結合部3 Aおよび取出部3 Cのストリップライン長方向の線路幅より小さい線路幅の連続部3 Bにて接続することにより、インダクタンスL1, L2を形成し、ストリップライン4 Aと入出力パターンの結合部3 Aの対向面積を大きくすることなく等価的に入出力容量を大きくし、特性劣化なくフィルタを小型化した。



【特許請求の範囲】

【請求項1】 シールドパターンを有する誘電体層の間に複数のストリップラインを有する誘電体層と上記複数のストリップラインに対向する結合部をもつ入力パターンおよび出力パターンを有する誘電体層とを配し、端面上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタであって、前記入力パターンおよび出力パターンの結合部から取出部の間の少なくとも一部に上記結合部に比し、その結合部のストリップライン長方向の線路幅より小さい連続部を形成した積層フィルタ。

【請求項2】 入力パターンおよび出力パターンを構成する連続部のストリップライン長方向の線路幅は、ストリップラインの最小線路幅以上とした請求項1に記載の積層フィルタ。

【請求項3】 入力パターンおよび出力パターンの取出部のストリップライン長方向の線路幅を、連続部のストリップライン長方向の線路幅よりも大きくした請求項1または2に記載の積層フィルタ。

【請求項4】 シールドパターンを有する誘電体層の間に複数のストリップラインを有する誘電体層と上記複数のストリップラインに対向する結合部をもつ入力パターンおよび出力パターンと上記複数のストリップラインに対向する段間容量パターンを有する誘電体層とを配し、端面上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタであって、前記段間容量パターンの一方のストリップラインとの結合部と他方のストリップラインとの結合部の間の少なくとも一部に上記結合部に比し、その結合部のストリップライン長方向の線路幅より小さい連続部を形成した積層フィルタ。

【請求項5】 段間容量パターンの連続部のストリップライン長方向の線路幅を、ストリップラインの最小線路幅以上とした請求項4に記載の積層フィルタ。

【請求項6】 シールドパターンを有する誘電体層の間に複数のストリップラインを有する誘電体層と、上記複数のストリップラインに対向する結合部をもつ入力パターンおよび出力パターンと複数のストリップラインに対向する結合部をもつ段間容量パターンを有する誘電体層と、前記入力パターンに対向する結合部と出力パターンに対向する結合部を接続する連続部をもつ飛び越し結合パターンを有する誘電体層を配し、端面上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタ。

【請求項7】 飛び越し結合パターンの連続部の線路の長さを信号周波数の2分の1波長以下とした請求項6に記載の積層フィルタ。

【請求項8】 飛び越し結合パターンの連続部を、前記複数のストリップラインと対向しないように設けた請求項6に記載の積層フィルタ。

【請求項9】 飛び越し結合パターンの連続部のストリップライン長方向の線路幅を、当該飛び越し結合パターンの結合部のストリップライン長方向の線路幅以下とした請求項6に記載の積層フィルタ。

【請求項10】 飛び越し結合パターンの連続部のストリップライン長方向の線路幅を、前記ストリップラインの最小線路幅以下とした請求項6に記載の積層フィルタ。

【請求項11】 シールドパターンを有する誘電体層の間に少なくとも3つ以上のストリップラインを有する誘電体層と上記複数のストリップラインに対向する結合部をもつ入力パターンおよび出力パターンを有する誘電体層とを配し、端面上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタであって、前記入力パターンに対向するストリップラインと前記ストリップラインと隣接するストリップラインとの間隔、および前記出力パターンに対向するストリップラインと前記ストリップラインと隣接するストリップラインとの間隔を異ならせた積層フィルタ。

【請求項12】 シールドパターンを有する誘電体層の間に少なくとも3つ以上のストリップラインを有する誘電体層と上記複数のストリップラインに対向する結合部をもつ入力パターンおよび出力パターンと複数のストリップラインに対向する結合部をもつ複数の段間容量パターンを有する誘電体層とを配し、端面上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタであって前記入力パターンに対向するストリップラインに対向する結合部と前記ストリップラインに隣接するストリップラインに対向する結合部を有する段間容量パターンの形状と、前記出力パターンに対向するストリップラインに対向する結合部と前記ストリップラインに隣接するストリップラインに対向する結合部を有する段間容量パターンの形状を異ならせた積層フィルタ。

【請求項13】 シールドパターンを有する誘電体層の間に少なくとも3つ以上のストリップラインを有する誘電体層と、上記複数のストリップラインに対向する結合部をもつ入力パターンおよび出力パターンと複数のストリップラインに対向する結合部をもつ複数の段間容量パターンを有する誘電体層と、前記入力パターンに対向するストリップラインに対向する結合部と前記出力パターンに対向するストリップラインに対向する結合部とを有し、かつこれらの結合部間を接続する連続部を有する飛び越し結合パターンを形成した誘電体層と、端面上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタ。

【請求項14】 飛び越し結合パターンの連続部を、前記入力パターンおよび出力パターンと対向したストリップライン間に配したストリップラインと対向しないよう50に形成した請求項13に記載の積層フィルタ。

【請求項15】飛び越し結合パターンの連続部の線路長を信号周波数の2分の1波長以下とした請求項13に記載の積層フィルタ。

【請求項16】飛び越し結合パターンの連続部のストリップライン長方向の線路幅を、前記飛び越し結合パターンの結合部のストリップライン長方向の線路幅以下とした請求項13に記載の積層フィルタ。

【請求項17】飛び越し結合パターンの連続部のストリップライン長方向の線路幅を、前記ストリップラインの最小線路幅以上とした請求項13に記載の積層フィルタ。

【請求項18】入力パターンおよび出力パターンの結合部から取出部の間の少なくとも一部に、前記結合部のストリップライン長方向の線路幅より、ストリップライン長方向の線路幅の小さい連続部を形成した請求項4または請求項6または請求項11または請求項12または請求項13に記載の積層フィルタ。

【請求項19】入力パターンおよび出力パターンを構成する連続部のストリップライン長方向の線路幅は、ストリップラインの最小線路幅以上とした請求項18に記載の積層フィルタ。

【請求項20】入力パターンおよび出力パターンの取出部のストリップライン長方向の線路幅を、連続部のストリップライン長方向の線路幅よりも大きくした請求項18に記載の積層フィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は携帯電話機の高周波回路部に使用される積層フィルタに関するものである。

【0002】

【従来の技術】従来の積層フィルタにおいては、信号の入出力を行うために共振器を構成するストリップラインに誘電体を介して入出力容量パターンを対向させていた。

【0003】

【発明が解決しようとする課題】上記構成において問題となるのは、入出力インピーダンスを 50Ω とするために、ストリップラインに対向する入出力容量パターンが大きい面積となり、フィルタ形状を大きくしなければならなかった。

【0004】そこで、本発明はフィルタの形状を大きくしなくとも十分な入出力容量が得られるようにし、特性劣化を起こさずフィルタを小型化することを目的とするものである。

【0005】

【課題を解決するための手段】この目的を達成するため本発明の積層フィルタは、誘電体上に設けた複数のストリップラインと、このストリップラインの開放端側に誘電体を介して入力パターンおよび出力パターンの一端部が接続された入力電極および出力電極を備え、前記入

カパターンおよび出力パターンの結合部から一端部までの少なくとも一部には、その結合部より線路幅を小さくした連続部を設けたものである。

【0006】かかる構成によれば、入出力パターンの結合部の面積を大きくしなくとも等価的に容量を大きくでき、フィルタを小型化することができる。

【0007】

【発明の実施の形態】本発明の請求項1に記載の発明は、誘電体上に設けた複数のストリップラインと、このストリップラインの開放端側に誘電体を介して入力パターンおよび出力パターンの一端部が接続された入力電極および出力電極を備え、前記入力パターンおよび出力パターンの結合部から取出部までの少なくとも一部には、その結合部より線路幅を小さくした連続部を設けた積層フィルタであり、上記入力パターンおよび出力パターンの連続部にインダクタンス成分を作り、等価的に容量を大きくできる作用を有する。

【0008】請求項2に記載の発明は、請求項1記載の積層フィルタにおいて、入力パターンおよび出力パターンを構成する連続部のストリップライン長方向の線路幅は、ストリップラインの最小線路幅以上とした積層フィルタであり、上記連続部の線路幅を一定以上として線路上での信号伝送損失を小さくしてフィルタの低損失化を図る作用を有する。

【0009】請求項3に記載の発明は、請求項1または2記載の積層フィルタにおいて、入力パターンおよび出力パターンの取出部のストリップライン長方向の線路幅を、連続部のストリップライン長方向の線路幅よりも大きくした積層フィルタであり、上記入力パターンおよび出力パターンの取出部の線路幅を一定以上として切断ばらつきに対して、フィルタの特性ばらつきを最小限にする作用を有する。

【0010】請求項4に記載の発明は、シールドパターンを有する誘電体層の間に複数のストリップラインを有する誘電体層と上記複数のストリップラインに対向する結合部をもつ入力パターンおよび出力パターンと上記複数のストリップラインに対向する段間容量パターンを有する誘電体層とを配し、端面に上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタであって、前記段間容量パターンの一方のストリップラインとの結合部と他方のストリップラインとの結合部の間の少なくとも一部に上記結合部に比し、その結合部のストリップライン長方向の線路幅より小さい連続部を形成した積層フィルタであり、段間容量パターンにインダクタンス成分を作り、等価的に段間容量を大きくすることができ、段間容量パターンを小型化でき、ひいてはフィルタの形状を小型化する作用を有する。

【0011】請求項5に記載の発明は、請求項4記載の積層フィルタにおいて、段間容量パターンの連続部のス

トリップライン長方向の線路幅を、ストリップラインの最小線路幅以上とした積層フィルタであり、段間容量パターンの連続部の線路幅を一定以上として線路上での信号伝送損失を小さくしてフィルタの低損失化を図る作用を有する。

【0012】請求項6に記載の発明は、シールドパターンを有する誘電体層の間に複数のストリップラインを有する誘電体層と、上記複数のストリップラインに対向する結合部をもつ入力パターンおよび出力パターンと複数のストリップラインに対向する結合部をもつ段間容量パターンを有する誘電体層と、前記入力パターンに対向する結合部と出力パターンに対向する結合部を接続する連続部をもつ飛び越し結合パターンを有する誘電体層を配し、端面に上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタであり、飛び越し結合パターンによりフィルタの通過帯域の高低域両側に減衰極を形成することができ、さらに減衰極周波数を自在に制御することができ、フィルタ特性の向上を図る作用を有する。

【0013】請求項7に記載の発明は、請求項6記載の積層フィルタにおいて、飛び越し結合パターンの連続部の線路の長さを信号周波数の2分の1波長以下とした積層フィルタであり、飛び越し結合パターンにインダクタンス成分をもたせ、等価的に飛び越し結合パターンの容量を大きくすることができ、飛び越し結合パターンの小型化、ひいてはフィルタの形状を小型化する作用を有する。

【0014】請求項8に記載の発明は、請求項6記載の積層フィルタにおいて、飛び越し結合パターンの連続部を、前記複数のストリップラインと対向しないように設けた積層フィルタであり、飛び越し結合パターンの小型化、ひいてはフィルタの形状を小型化する作用を有する。

【0015】請求項9に記載の発明は、請求項6記載の積層フィルタにおいて、飛び越し結合パターンの連続部のストリップライン長方向の線路幅を、当該飛び越し結合パターンの結合部のストリップライン長方向の線路幅以下とした積層フィルタであり、飛び越し結合パターンの連続部にインダクタンス成分をもたせて飛び越し結合パターンの小型化、ひいてはフィルタの形状を小型化する作用を有する。

【0016】請求項10に記載の発明は、請求項6記載の積層フィルタにおいて、飛び越し結合パターンの連続部のストリップライン長方向の線路幅を、前記ストリップラインの最小線路幅以上とした積層フィルタであり、飛び越し結合パターンの連続部の線路幅を一定以上として線路上での信号伝送損失を小さくしてフィルタの低損失化を図る作用を有する。

【0017】請求項11に記載の発明は、シールドパターンを有する誘電体層の間に少なくとも3つ以上のスト

リップラインを有する誘電体層と上記複数のストリップラインに対向する結合部をもつ入力パターンおよび出力パターンを有する誘電体層とを配し、端面に上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタであって、前記入力パターンに対向するストリップラインと前記ストリップラインと隣接するストリップラインとの間隔、および前記出力パターンに対向するストリップラインと前記ストリップラインと隣接するストリップラインとの間隔を異ならせた積層フィルタであり、フィルタの通過帯域の高低域両側の減衰量を自在に制御することができ、フィルタ特性の向上を図る作用を有する。

【0018】請求項12に記載の発明は、シールドパターンを有する誘電体層の間に少なくとも3つ以上のストリップラインを有する誘電体層と上記複数のストリップラインに対向する結合部をもつ入力パターンおよび出力パターンと複数のストリップラインに対向する結合部をもつ複数の段間容量パターンを有する誘電体層とを配し、端面に上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタであって前記入力パターンに対向するストリップラインに対向する結合部と前記ストリップラインに隣接するストリップラインに対向する結合部を有する段間容量パターンの形状と、前記出力パターンに対向するストリップラインに対向する結合部と前記ストリップラインに隣接するストリップラインに対向する結合部を有する段間容量パターンの形状を異ならせた積層フィルタであり、フィルタの通過帯域の高低域両側の減衰量を自在に制御することができ、フィルタ特性の向上を図る作用を有する。

【0019】請求項13に記載の発明は、シールドパターンを有する誘電体層の間に少なくとも3つ以上のストリップラインを有する誘電体層と、上記複数のストリップラインに対向する結合部をもつ入力パターンおよび出力パターンと複数のストリップラインに対向する結合部をもつ複数の段間容量パターンを有する誘電体層と、前記入力パターンに対向するストリップラインに対向する結合部と前記出力パターンに対向するストリップラインに対向する結合部とを有し、かつそれらの結合部間を接続する連続部を有する飛び越し結合パターンを形成した誘電体層と、端面に上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタであり、フィルタの通過帯域の高低域両側に減衰極を形成することができ、さらに減衰極周波数を自在に制御することができ、フィルタ特性の向上を図る作用を有する。

【0020】請求項14に記載の発明は、請求項14の積層フィルタにおいて、飛び越し結合パターンの連続部を、前記入力パターンおよび出力パターンと対向したストリップライン間に配したストリップラインと対向しな

いように形成した積層フィルタであり、飛び越し結合パターンの小型化、ひいてはフィルタの形状を小型化する作用を有する。

【0021】請求項15に記載の発明は、請求項13記載の積層フィルタにおいて、飛び越し結合パターンの連続部の線路長を信号周波数の2分の1波長以下とした積層フィルタであり、前記飛び越し結合パターンの連続部にインダクタンス成分をもたせて、飛び越し結合パターンの小型化、ひいてはフィルタの形状を小型化する作用を有する。

【0022】請求項16に記載の発明は、請求項13記載の積層フィルタにおいて、飛び越し結合パターンの連続部のストリップライン長方向の線路幅を、前記飛び越し結合パターンの結合部のストリップライン長方向の線路幅以下とした積層フィルタであり、前記飛び越し結合パターンの連続部にインダクタンス成分をもたせて、飛び越し結合パターンの小型化、ひいてはフィルタの形状を小型化する作用を有する。

【0023】請求項17に記載の発明は、請求項13記載の積層フィルタにおいて、飛び越し結合パターンの連続部のストリップライン長方向の線路幅を、前記ストリップラインの最小線路幅以上とした積層フィルタであり、前記飛び越し結合パターンの線路幅を一定以上として線路上での信号伝送損失を小さくしてフィルタの低損失化を図る作用を有する。

【0024】請求項18に記載の発明は、請求項4, 6, 11, 12, 13記載の積層フィルタにおいて、入力パターンおよび出力パターンの結合部から取出部の間の少なくとも一部に、前記結合部のストリップライン長方向の線路幅よりストリップライン長方向の線路幅の小さい連続部を形成した積層フィルタであり、入出力パターンの連続部にインダクタンス成分を作り、等価的に容量を大きくできる作用を有する。

【0025】請求項19に記載の発明は、請求項18記載の積層フィルタにおいて、入力パターンおよび出力パターンを構成する連続部のストリップライン長方向の線路幅は、ストリップラインの最小線路幅以上とした積層フィルタであり、入出力パターンの連続部の線路幅を一定以上として線路上での信号伝送損失を小さくしてフィルタの低損失化を図る作用を有する。

【0026】請求項20に記載の発明は、請求項18記載の積層フィルタにおいて、入力パターンおよび出力パターンの取出部のストリップライン長方向の線路幅を、連続部のストリップライン長方向の線路幅よりも大きくした積層フィルタであり、入出力パターンの取出部の線路幅を一定以上として切断ばらつきに対して、フィルタの特性ばらつきを最小限にする作用を有する。

【0027】(実施の形態1)以下、本発明の第1の実施の形態を図1と図2を用いて説明する。

【0028】図1は本発明の第1の実施形態におけるフ

ィルタの斜視図であり、図2はその分解斜視図を示している。すなわち5層の誘電体層1～5を積層したものであって、誘電体層2と5の上面にはシールドパターン2Aと5Aが設けられている。また誘電体層3の上面には結合部3A、連続部3B、取出部3Cを有する入出力パターンが設けられ、誘電体層4の上面には2本のストリップライン4Aが設けられている。このうち入出力パターンの結合部3Aはストリップライン4Aに対向させている。また、入出力パターンの連続部3Bは図2のように入出力パターンの結合部3Aよりストリップライン長方向の線路幅を小さくし、入出力パターンの取出部3Cを介して入出力電極7A, 7Bに接続している。これにより図5に示すようにインダクタンスL1, L2を実現し、ストリップライン4Aと入出力パターンの結合部3Aの対向面積を大きくすることなく入出力容量C1, C2を大きくして、入出力インピーダンスを50Ωとしてフィルタの損失を低減している。なお、図1における6Aはアース電極で、シールドパターン2A, 5Aとストリップライン4Aが接続されており、6Bはアース電極で、シールドパターン2A, 5Aが接続されている。

【0029】そして、この結果により、左右の入出力パターンの結合部3Aとストリップライン4A間で図5のコンデンサC1, C2が形成されている。また、図5のインダクタンスL1, L2は図2の主に入出力パターンの連続部3Bで形成されている。

【0030】なお、上記第1の実施形態において、入出力パターンの連続部3Bを極度に小さくすると、損失が大きくなるので、ストリップライン4Aの最小線路幅以上としておくのが望ましい。また、幅狭の入出力パターンの連続部3Bと入出力電極7A, 7B間に幅広の入出力パターンの取出部3Cを設けた理由は、次の通りである。すなわち、誘電体層1～5は大板よりなり、それを積層後に切断し、図1、図2の個片を得る。この個片への切断において、入出力パターンの取出部3Cが切断の緩衝体となり、決して入出力パターンの連続部3Bが切断されてフィルタ特性が変動することが無い様にしているのである。

【0031】さらに入出力パターンの結合部3Aとストリップライン4Aの幅広部は完全に重合し、ストリップラインのエッジ部が入出力パターンの連続部3Bの中部を横断する様にしておけば、パターンずれが生じても、幅狭の入出力パターンの連続部3Bがストリップライン4Aに対して上下にずれるだけで、ストリップライン4Aに対する重合面積は大きく変動せず、よってフィルタ特性のずれが少なくて済むようになる。

【0032】図4は第1の実施形態の変形例を示しており、誘電体層3の上面に結合部3D、連続部3Eを有する段間容量パターンを追加して設け、このうち段間容量パターンの結合部3Dをストリップライン4Aに対向させた点で異なる。そして、段間容量パターンの連続部3

Eは、図4のように段間容量パターンの結合部3Dのストリップライン長方向の線路幅より、ストリップライン長方向の線路幅を小さくしている。これにより図5に示すようにインダクタンスL3を実現し、ストリップライン4Aと段間容量パターンの結合部3Dの対向面積を大きくすることなく段間容量C_{c1}, C_{c2}を等価的に大きくして、図6のフィルタ特性のようにフィルタの損失を低減している。

【0033】図7は第1の実施形態の第2変形例であり、6層の誘電体層1, 2, 8, 3～5を積層したものであって、上面に結合部8Aと連続部8Bを有する飛び越し結合パターンが設けられた誘電体層8を追加しており、このうち飛び越し結合パターンの結合部8Aは入出力パターンの結合部3Aに対向させている。これにより、図9に示すように入出力間を直接容量結合するコンデンサC4を実現し、図10のようにフィルタ通過帯域の高域側および低域側の両側に減衰極を形成し、フィルタ特性を向上させることができる。

【0034】この飛び越し結合パターンは図8に示すように連続部8Dのストリップライン長方向の線路幅を、飛び越し結合パターンの結合部8Cのストリップライン長方向の線路幅より細く構成することにより、図9に示すようにインダクタンスL4を実現すると、入出力パターンの結合部3Aと飛び越し結合パターンの結合部8Cとの対向面積を大きくすることなく飛び越し容量C4を等価的に大きくして、フィルタの減衰量を増加させることができる。

【0035】(実施の形態2) 図11は本発明の第2の実施形態における積層フィルタの分解斜視図を示している。すなわち5層の誘電体層9～13を積層したものであって、誘電体層10と13の上面にはシールドパターン10Aと13Aが設けられている。また誘電体層11の上面には結合部11A、連続部11B、取出部11Cを有する入出力パターンが設けられ、誘電体層12の上面にはストリップライン12A～12Fが設けられている。このうちストリップライン12Aとストリップライン12Bで共振器Aを構成し、ストリップライン12Cとストリップライン12Dで共振器Bを構成し、ストリップライン12Eとストリップライン12Fで共振器Cを構成している。また、入出力パターンの結合部11A、入出力パターンの連続部11B、入出力パターンの取出部11Cとシールドパターン10Aおよび13A、入出力電極7Aおよび7B、アース電極6Aおよび6Bは実施の形態1と同様な構成としてある。ストリップライン12A～12Fにおいて、ストリップライン12Aとストリップライン12Cの間隔とストリップライン12Cとストリップライン12Eとの間隔を異なるように、またストリップライン12Bとストリップライン12Dとの間隔とストリップライン12Fとの間隔を異なるように構成している。

【0036】すなわち、ストリップライン12Aとストリップライン12Bから構成される共振器Aと、ストリップライン12Cとストリップライン12Dから構成される共振器Bとの結合度と、ストリップライン12Cとストリップライン12Dから構成される共振器Bと、ストリップライン12Eとストリップライン12Fから構成される共振器Cとの結合度は異なり、図13のようにフィルタの通過帯域の高低域両側の減衰量を制御できる。

【0037】さらに図12に示すように誘電体11に段間容量パターンを追加し、共振器Aと共振器Bを容量結合する結合部11Eを有する段間容量パターンの形状と、共振器Bと共振器Cを容量結合する結合部11Fを有する段間容量パターンの形状とを異なるようにすると、図13のように通過帯域幅とともに通過帯域の高低域の減衰量を制御することができる。

【0038】また、図14に示すような共振器Aと共振器Cを容量結合する結合部14Aを有する飛び越し結合パターンを形成した誘電体14を追加することにより、図17のように通過帯域の高低域両側に減衰極を形成し、減衰極位置を自在に制御することができる。

【0039】そして、この結果により、共振器Aと共振器Bの線路間結合や共振器Aと共振器Bを容量結合する結合部11Eを有する段間容量パターンにより、図16のコンデンサC7とインダクタンスL7を形成し、共振器Bと共振器Cの線路間結合や共振器Bと共振器Cを容量結合する結合部11Fを有する段間容量パターンにより、図16のコンデンサC8とインダクタンスL8を形成している。また、図14の飛び越し結合パターンにより図16のコンデンサC9を形成している。

【0040】また、図15に示すように誘電体14の上面に結合部14C、連続部14Dを有する飛び越し結合パターンを設け、このうち飛び越し結合パターンの結合部14Cは共振器Aおよび共振器Cに対向させている。これにより、図16に示すように入出力間を直接容量結合するコンデンサC9とインダクタンスL9を実現し、フィルタ通過帯域の高域側および低域側の両側に減衰極を形成し、図17のようにフィルタ特性を向上させることができる。

【0041】なお、本実施形態では積層3段フィルタを用いた場合を示したが、それ以上の多段フィルタを用いても同様の効果が得られる。ただし、入力パターンおよび出力パターンの連続部3Bのストリップライン長方向の線路幅は、入力パターンおよび出力パターンの結合部3Aのストリップライン長方向の線路幅と同等でも構わない。

【0042】

【発明の効果】以上のように本発明は、シールドパターンを有する誘電体層の間に複数のストリップラインを有する誘電体層と上記複数のストリップラインに対向する

11

結合部をもつ入力パターンおよび出力パターンを有する誘電体層とを配し、端面に上記入力パターンおよび出力パターンに接続された入力電極および出力電極を形成した積層フィルタであって、前記入力パターンおよび出力パターンの結合部から取出部の間の少なくとも一部に上記結合部より線路幅の小さい連続部を形成したものである。

【0043】そして以上の構成とすれば、入出力パターンとしてのインダクタンス成分(図5のL1, L2)が大きくなるので、入出力容量が等価的に大きくなり、この結果として、ストリップラインと容量パターンの対向部分を大きくする必要がなく、フィルタ形状を大きくせずに、フィルタ特性が劣化することを防げる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における積層フィルタの斜視図

【図2】その分解斜視図

【図3】その断面図

【図4】本発明の第1の実施形態を変形した第1の積層フィルタの分解斜視図

【図5】その等価回路図

【図6】そのフィルタ特性図

【図7】本発明の第1の実施形態を変形した第2の積層フィルタの分解斜視図

【図8】本発明の第1の実施形態を変形した第3の積層フィルタの分解斜視図

【図9】その等価回路図

【図10】そのフィルタ特性図

【図11】本発明の第2の実施形態における積層フィル

12

タの分解斜視図

【図12】本発明の第2の実施形態を変形した第1の積層フィルタの分解斜視図

【図13】そのフィルタ特性図

【図14】本発明の第2の実施形態を変形した第2の積層フィルタの分解斜視図

【図15】本発明の第2の実施形態を変形した第3の積層フィルタの分解斜視図

【図16】その等価回路図

【図17】そのフィルタ特性図

【符号の説明】

1 積層フィルタ

2 誘電体

2A シールドパターン

3 誘電体

3A 入出力パターン結合部

3B 入出力パターン連続部

3C 入出力パターン取出部

3D 段間容量パターン結合部

20 3E 段間容量パターン連続部

4 誘電体

4A ストリップライン

5 誘電体

5A シールドパターン

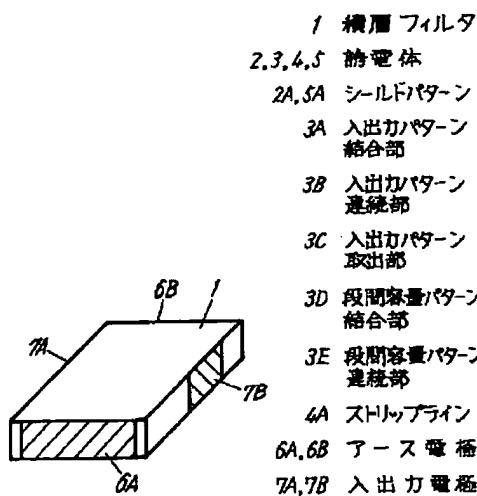
6A アース電極

6B アース電極

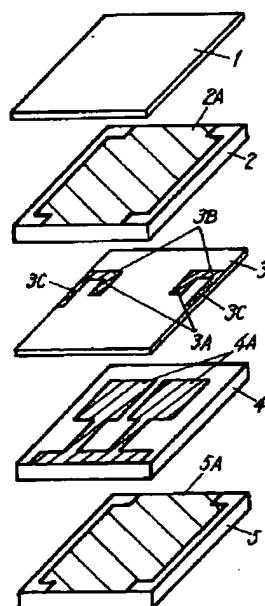
7A 入出力電極

7B 入出力電極

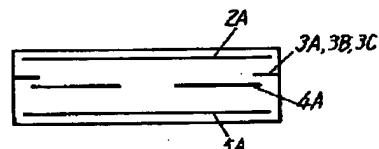
【図1】



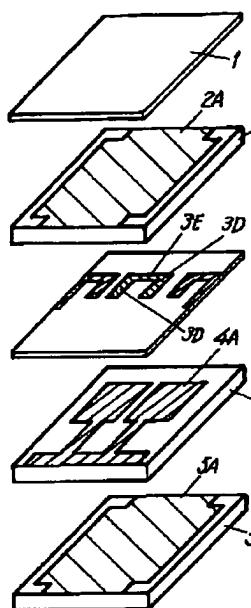
【図2】



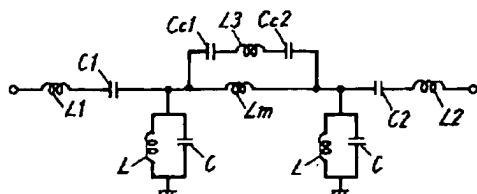
【図3】



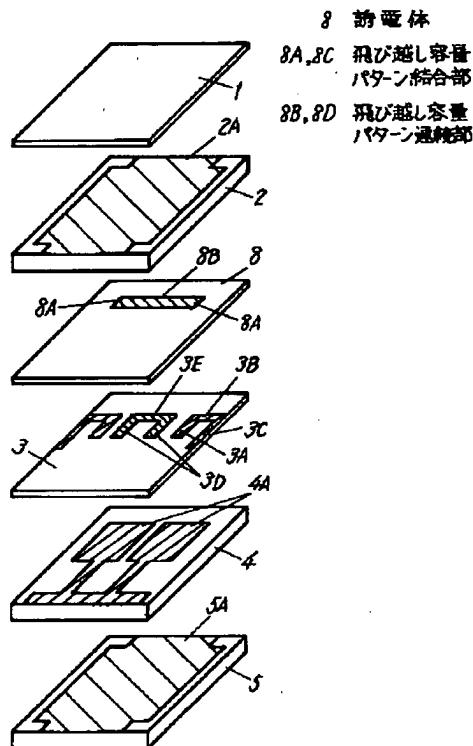
【図4】



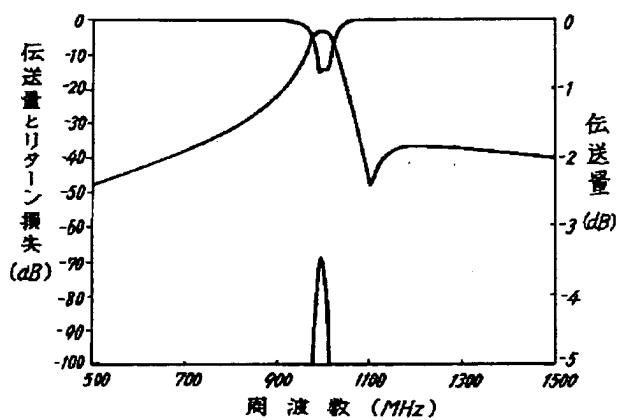
【図5】



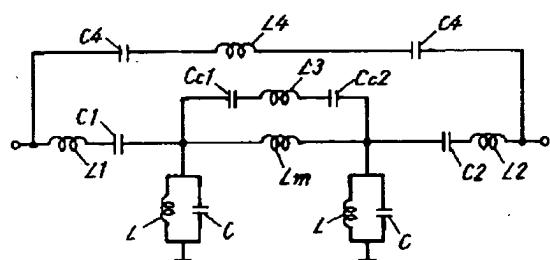
【図7】



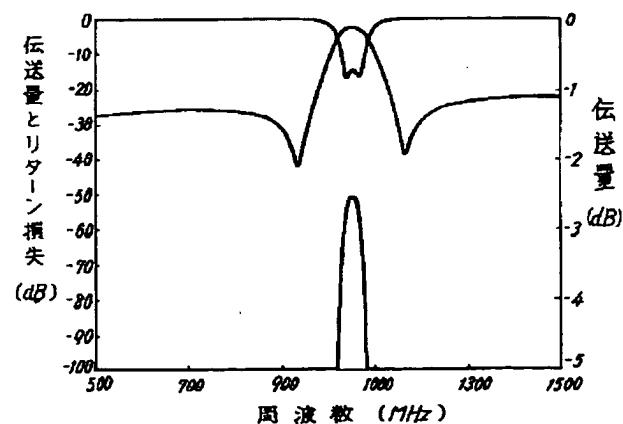
【図6】



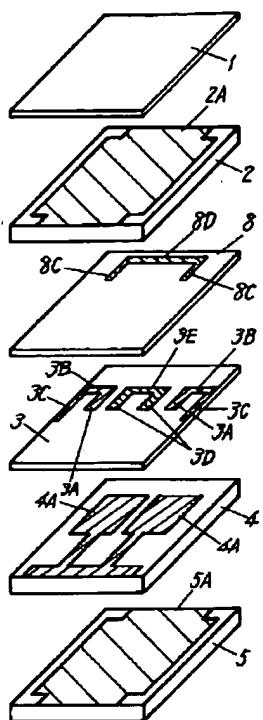
【図9】



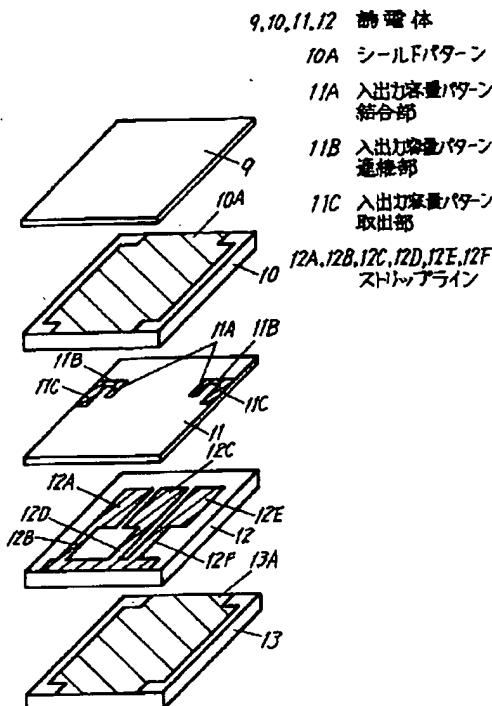
【図10】



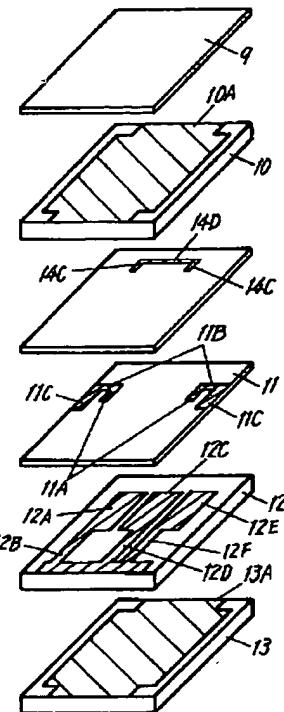
【図8】



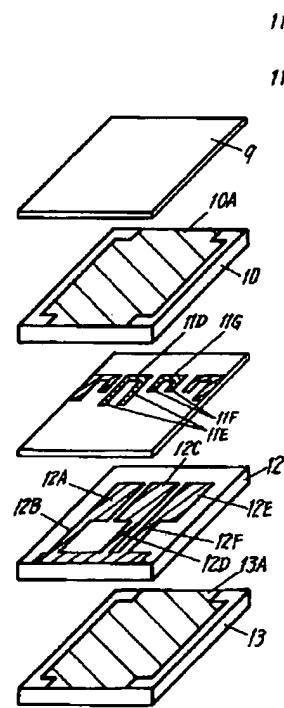
【図11】



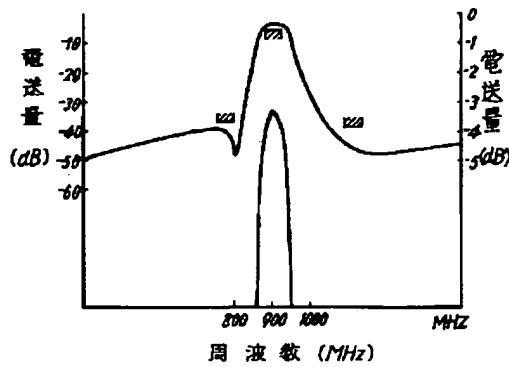
【図15】



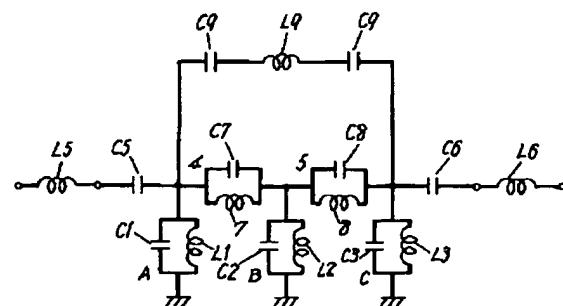
【図12】



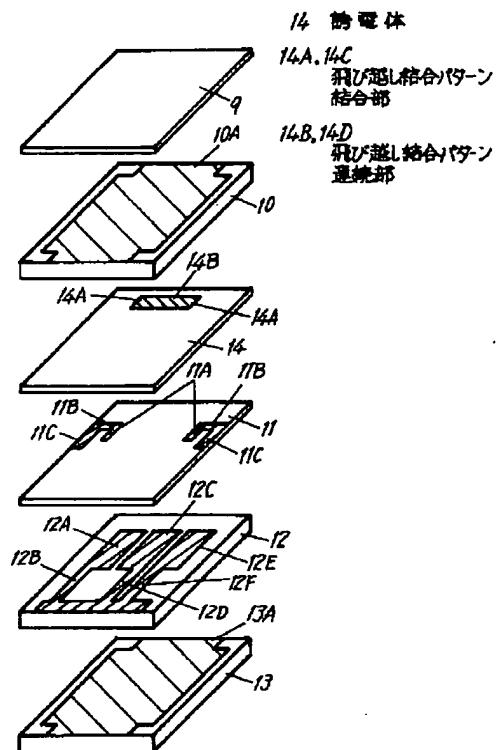
【図13】



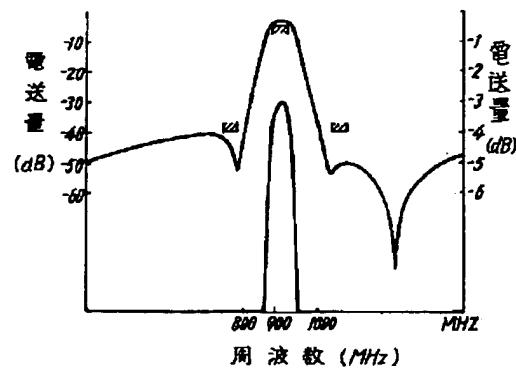
【図16】



【図14】



【図17】



フロントページの続き

(72)発明者 松村 勉
京都府綾喜郡田辺町大字大住小字浜55の12
松下日東電器株式会社内

(72)発明者 湯田 直毅
大阪府門真市大字門真1006番地 松下電器
産業株式会社内